

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

HSJ

Applicant: Wataru DOMON, et al.

Title: SPEED CONVERTER FOR IEEE-1394
SERIAL BUS NETWORK

Appl. No.: Unassigned

Filing Date: September 28, 2000

Examiner: Unassigned

Art Unit: Unassigned

jc920 U.S. PRO
09/671150
09/28/00


CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 11-277561 filed September 29, 1999.

Respectfully submitted,

By 
Reg. No 41514

Date September 28, 2000

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 9月 29日

出願番号
Application Number:

平成11年特許願第277561号

出願人
Applicant (s):

日本電気株式会社

JC920 U.S. PRO
09/671150



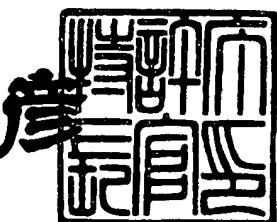
09/26/00

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 6月 9日

特許庁長官
Commissioner,
Patent Office

近藤 隆



出証番号 出証特2000-3011112

【書類名】 特許願

【整理番号】 33509613

【提出日】 平成11年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 12/00

【発明の名称】 パケット速度変換器

【請求項の数】 16

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 土門 渉

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 松田 淳一

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 山崎 俊太郎

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケット速度変換器

【特許請求の範囲】

【請求項1】 IEEE1394規格に準拠した第1と第2のバスに接続されて、複数の電子機器の間でパケットの送受信を行う電子機器において、

前記第1のバスに接続されてパケットを受信し、また前記第2のバスから受信されたパケットを、宛先の電子機器との間で送受可能な転送速度で前記第1のバスへ送信する第1のパケット送受信ノードと、

前記第2のバスに接続されてパケットを受信し、また前記第1のバスから受信されたパケットを、宛先の電子機器との間で送受可能な転送速度で前記第2のバスへ送信する第2のパケット送受信ノードと、

前記第1または第2のバスから受信したパケットのヘッダを宛先に対応するヘッダに変換するヘッダ変換手段と、

を具備してなるパケット速度変換器。

【請求項2】 IEEE1394規格に準拠した第1と第2のバスに接続されて、前記第1のバスに接続される複数の第1のノードまたは前記第2のバスに接続される複数の第2のノードの間でパケットを送受信する電子機器において、

前記第1のバスに接続されており、IEEE1394規格に準拠した物理層の機能を備え、パケットを転送する各々異なるノード識別番号を持つM-1個(M; 1以上の整数)の第1のパケット転送ノードと、

前記第1のバスに接続されており、IEEE1394規格に準拠した物理層以上の機能を備え、自ノード識別番号と等しいまたは前記第1のパケット転送ノードのノード識別番号と等しい宛先識別番号を持つシンクロナス・パケットを受信し、また前記第2のバスから受信されたシンクロナス・パケットを予め定められた転送速度で前記第1のバスへ送信する第1のパケット送受信ノードと、

前記第2のバスに接続されており、IEEE1394規格に準拠した物理層の機能を備え、パケットを転送する各々異なるノード識別番号を持つN-1個(N; 1以上の整数)の第2のパケット転送ノードと、

前記第2のバスに接続されており、IEEE1394規格に準拠した物理層以

上の機能を備え、自ノード識別番号と等しいまたは前記第2のパケット転送ノードのノード識別番号と等しい宛先識別番号を持つシンクロナス・パケットを受信し、また前記第1のバスから受信されたシンクロナス・パケットを予め定められた転送速度で前記第2のバスへ送信する第2のパケット送受信ノードと、

前記第2のノードの内で最大M個のノードが持つ各々異なるノード識別番号と前記第1のパケット転送ノードまたは前記第1のパケット送受信ノードのノード識別番号との1対1の対応関係と、前記第1のノードの内で最大N個のノードが持つ各々異なるノード識別番号と前記第2のパケット転送ノードまたは前記第2のパケット送受信ノードのノード識別番号との1対1の対応関係とを記憶する対応関係記憶手段と、

前記第1または第2のバスから受信したシンクロナス・パケットのヘッダを変換するヘッダ変換手段と、

を具備することを特徴とするパケット速度変換器。

【請求項3】 前記予め定められた転送速度は、前記第1または第2のパケット送受信ノードと、送信されるシンクロナス・パケットが持つ宛先識別番号によって示される前記第1または第2のノードとの間で転送可能な最大の転送速度であることを特徴とする請求項2に記載のパケット速度変換器。

【請求項4】 前記ヘッダ変換手段は、前記第1または第2のバスから受信したシンクロナス・パケットの宛先識別番号を、前記対応関係記憶手段に記憶される対応関係に基づき前記第2または第1のノードのノード識別番号に変換し、また該シンクロナス・パケットの送信元識別番号も、該対応関係に基づき前記第2または第1のパケット転送ノードまたはパケット送受信ノードのノード識別番号に変換することを特徴とする請求項2または請求項3に記載のパケット速度変換器。

【請求項5】 前記第1または第2のバスから受信するシンクロナス・パケットの内で、リクエスト・パケットが持つ送信元識別番号と宛先識別番号を記憶する識別番号記憶手段を具備し、

前記ヘッダ変換手段は、このリクエスト・パケットに対応するレスポンス・パケットを受信した場合に、該レスポンス・パケットの送信元識別番号と宛先識別

番号とを、前記識別番号記憶手段が記憶している該リクエスト・パケットの宛先識別番号と送信元識別番号とに各々変換することを特徴とする請求項2乃至請求項4のいずれかの項に記載のパケット速度変換器。

【請求項6】 前記第2のバスのサイクル周期を前記第1のバスのサイクル周期に同期させるサイクル周期同期手段を具備し、

前記第1または第2のパケット送受信ノードは、ストリーム・パケットを前記第1または第2のバスから受信して、予め定められた転送速度で他方のバスへ送信することを特徴とする請求項2乃至請求項5のいずれかの項に記載のパケット速度変換器。

【請求項7】 前記第1のパケット送受信ノードが前記第1のバスへ送信するストリーム・パケットの転送速度は、毎秒393.216メガビットのS400と呼ばれる速度であることを特徴とする請求項6に記載のパケット速度変換器。

【請求項8】 前記第1のパケット送受信ノードは、ストリーム・パケットの送信の開始または終了を要求するシンクロナス・パケットを前記第1のノードから受信すると、前記第2のパケット送受信ノードがストリーム・パケットを前記第2のバスへ送信する動作の開始または終了の設定を行い、一方、ストリーム・パケットの受信の開始または終了を要求するシンクロナス・パケットを前記第1のノードから受信すると、ストリーム・パケットを前記第1のバスへ送信する動作の開始または終了の設定を行うことを特徴とする請求項6または請求項7に記載のパケット速度変換器。

【請求項9】 前記第2のパケット送受信ノードは、前記第1のパケット送受信ノードがストリーム・パケットの送信の開始または終了を要求するシンクロナス・パケットを前記第1のノードから受信すると、該シンクロナス・パケットの宛先識別番号に対応する前記第2のノードへ該ストリーム・パケットの送信の開始または終了を要求するシンクロナス・パケットを送信し、一方、前記第1のパケット送受信ノードがストリーム・パケットの受信の開始または終了を要求するシンクロナス・パケットを前記第1のノードから受信すると、該シンクロナス・パケットの宛先識別番号に対応する前記第2のノードへ該ストリーム・パケットの受信の開始または終了を要求するシンクロナス・パケットを送信する。

ム・パケットの受信の開始または終了を要求するシンクロナス・パケットを送信することを特徴とする請求項8に記載のパケット速度変換器。

【請求項10】 前記第2のパケット送受信ノードは、前記第2のバスにおいてバス・リセットが発生すると、該バス・リセットが発生する前に前記第2のノードに設定されていたストリーム・パケットの送信または受信の設定を、再度前記第2のノードに行うことの特徴とする請求項9に記載のパケット速度変換器。

【請求項11】 前記第1のパケット送受信ノードは、IEC61883規格に定められるプラグ・コントロール・レジスタを備えており、前記対応関係記憶手段に記憶されている対応関係にある前記第2のノードがプラグ・コントロール・レジスタを具備している場合には、該プラグ・コントロール・レジスタの初期値を、該第2のノードのプラグ・コントロール・レジスタから読み出す値に設定し、この設定する値の内OUTPUT_MASTER_PLUGレジスタ及びINPUT_MASTER_PLUGレジスタのData rate capabilityフィールドの値とOUTPUT_PLUG_CONTROLレジスタのData rateフィールドの値については、前記第1のバスにストリーム・パケットを送信する転送速度に対応する値に変更して設定することの特徴とする請求項8乃至請求項10のいずれかの項に記載のパケット速度変換器。

【請求項12】 前記第1のパケット送受信ノードが備えるOUTPUT_MASTER_PLUGレジスタにストリーム・パケットの送信を指示する値が設定されている場合には、前記第2のバスから前記第2のパケット送受信ノードが受信するストリーム・パケットが持つ予め定められたチャンネル番号を該OUTPUT_PLUG_CONTROLレジスタのChannel numberフィールドに示される値に変換し、一方、前記第1のパケット送受信ノードが備えるINPUT_PLUG_CONTROLレジスタにストリーム・パケットの受信を指示する値が設定されている場合には、前記第1のバスから前記第1のパケット送受信ノードが受信するストリーム・パケットが持つチャンネル番号を予め定められたチャンネル番号に変換するチャンネル番号変換手段を備し、

前記第1のパケット送受信ノードが受信する該ストリーム・パケットが持つチ

ヤネル番号は、前記INPUT_PLUG_CONTROLレジスタにストリーム・パケットの受信を指示する値が設定されている場合の、該INPUT_PLUG_CONTROLレジスタのChannel numberフィールドに示される値であることを特徴とする請求項11に記載のパケット速度変換器。

【請求項13】 前記予め定められたチャンネル番号は、10進数の63であることを特徴とする請求項12に記載のパケット速度変換器。

【請求項14】 前記第1または第2のバスから受信され他方のバスに送信されるシンクロナス・パケットは、前記第1または第2のバス上のアドレスにて16進数のFFF F000 0400からFFF F000 07FCの範囲内にあるコンフィグレーション・ロムへのリード・リクエスト・パケット及びこれに対応したリード・レスポンス・パケットを含むことを特徴とする請求項1乃至請求項13のいずれかの項に記載のパケット速度変換器。

【請求項15】 前記対応関係記憶手段に記憶されている対応関係に示される前記第1または第2のノードから読み出されるコンフィグレーション・ロムのデータを記憶するコンフィグレーション・ロム記憶手段を具備し、

前記第1のパケット送受信ノードは、コンフィグレーション・ロムへのリード・リクエスト・パケットを前記第1のバスから受信した場合に、該リード・リクエスト・パケットの宛先識別番号が示すノードに対応する前記第2のノードの該コンフィグレーション・ロムのデータを、前記コンフィグレーション・ロム記憶手段から読み出し、該読み出されたデータを格納したリード・レスポンス・パケットを前記第1のバスに送信し、

一方、前記第2のパケット送受信ノードは、コンフィグレーション・ロムへのリード・リクエスト・パケットを前記第2のバスから受信した場合に、該リード・リクエスト・パケットの宛先識別番号が示すノードに対応する前記第1のノードの該コンフィグレーション・ロムのデータを、前記コンフィグレーション・ロム記憶手段から読み出し、該読み出されたデータを格納したリード・レスポンス・パケットを前記第2のバスに送信することを特徴とする請求項2乃至請求項13のいずれかの項に記載のパケット速度変換器。

【請求項16】 前記コンフィグレーション・ロム記憶手段は、前記対応関

係記憶手段に記憶されている対応関係に示される前記第1または第2のノードから読み出されるコンフィグレーション・ロムのデータの内、`Bus_Info_Block`の下位64ビットの値と`Node_Unique_Id_leaf`の下位64ビットの値とを、該対応関係に示される前記第1または第2のノードに対応する前記第1、2のパケット転送ノードまたは第1、2のパケット送受信ノードのいずれかが持つ`Extended_Unique_Identifier`、64 bitsの値と共に変更して記憶し、さらに、`Module_Vendor_Id_Entry`の`module_vendor_id`フィールドの値を前記電子機器の製造者を示す`company_ID`の値に変更して記憶することを特徴とする請求項15に記載のパケット速度変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、IEEE1394規格のインターフェースを有しパケットを送受信する電子機器に用いて好適なパケット速度変換器に関する。

【0002】

【従来の技術】

毎秒100メガビット（以下、S100と称する）、毎秒200メガビット（以下、S200と称する）、毎秒400メガビット（以下、S400と称する）という高速転送能力を有する高性能シリアルバス規格であるIEEE1394規格（以下、1394と称する）は、低遅延特性は保証されないが転送の成否が確認可能なアシンクロナス転送モードに加え、転送帯域を保証するアイソクロナス転送モードをサポートしているため、動画などのマルチメディア情報用インターフェースとして注目を集めている。そのため、DV（Digital Video）規格のデジタルカムコーダなど、1394インターフェースを持つ市販の電子機器製品が、既に数百万台規模で市場に出荷されている。

【0003】

この1394では、前述の通り3種類の転送速度がサポートされているが、これらはひとつの1394バスの中で混在することができる。すなわち一つのバス

において、例えばあるノード間ではS100で通信を行い、別のノード間ではS400で通信を行うことが可能である。あるいは、より高速な転送速度をサポートするノードはそれより低速な転送速度もサポートしているため、同一のノードが、例えばある時刻ではS200で通信を行い、その後S400で通信を行うという動作を行うことも可能である。このように複数の転送速度の混在が可能であることと、転送速度の下位互換性が1394において規定されているため、S100など低速の転送能力しか持たない機器と、S400までの高速転送能力を持つ機器とを相互に1394バスにより接続して使用することが可能である。ただし、あるノード間の転送速度は、そのノード間の転送経路上に存在する全ノードが各々持つ転送速度の内で最も低い転送速度に制限される。

【0004】

【発明が解決しようとする課題】

ところで、上述した従来の1394インターフェースを持つ電子機器には、以下のような問題点があった。

同じ量のデータを転送する場合には、遅い速度で転送するほうが当然ながら長い時間を要する。言い換えると、低速なデータは、高速なデータに比べてバスの持つ帯域資源を消費する。例えば現在市場に出てるDV規格のデジタルカムコーダはS100しかサポートしていないため、映像信号1チャンネルをアイソクロナス転送モードにより1394バスで転送するには、1サイクルの時間である125マイクロ秒当たり約40マイクロ秒の転送時間を必要とする。したがって1394では、アイソクロナス転送に利用可能な時間は各サイクルあたり最大100マイクロ秒と規定されているため、このDV信号は最大2チャンネルしか転送できない。このように、1394バスがS400のように高速な転送をサポートしていてもS100のような低速な転送しかサポートしていない電子機器が接続されると、バスの持つ帯域資源が余計に消費されてしまうという問題点があった。

【0005】

この発明は、このような事情を考慮してなされたもので、その目的は低速な転送能力に起因するバスの帯域資源消費を緩和して、より効率の良い1394バス

の利用を可能とするパケット速度変換器を提供することにある。特にD V信号においては、上述の転送チャネル数制限を緩和して、3チャネル以上のD V信号を同一の1394バス上にて転送可能とすることを目的とする。

【0006】

【課題を解決するための手段】

上記の課題を解決するために、請求項1記載の発明は、I E E E 1 3 9 4 規格に準拠した第1と第2のバスに接続されて、複数の電子機器の間でパケットの送受信を行う電子機器において、前記第1のバスに接続されてパケットを受信し、また前記第2のバスから受信されたパケットを、宛先の電子機器との間で送受可能な転送速度で前記第1のバスへ送信する第1のパケット送受信ノードと、前記第2のバスに接続されてパケットを受信し、また前記第1のバスから受信されたパケットを、宛先の電子機器との間で送受可能な転送速度で前記第2のバスへ送信する第2のパケット送受信ノードと、前記第1または第2のバスから受信したパケットのヘッダを宛先に対応するヘッダに変換するヘッダ変換手段とを具備してなるものである。

【0007】

請求項2記載の発明は、I E E E 1 3 9 4 規格に準拠した第1と第2のバスに接続されて、前記第1のバスに接続される複数の第1のノードまたは前記第2のバスに接続される複数の第2のノードの間でパケットを送受信する電子機器において、前記第1のバスに接続されており、I E E E 1 3 9 4 規格に準拠した物理層の機能を備え、パケットを転送する各々異なるノード識別番号を持つM-1個(M; 1以上の整数)の第1のパケット転送ノードと、前記第1のバスに接続されており、I E E E 1 3 9 4 規格に準拠した物理層以上の機能を備え、自ノード識別番号と等しいまたは前記第1のパケット転送ノードのノード識別番号と等しい宛先識別番号を持つシンクロナス・パケットを受信し、また前記第2のバスから受信されたシンクロナス・パケットを予め定められた転送速度で前記第1のバスへ送信する第1のパケット送受信ノードと、前記第2のバスに接続されており、I E E E 1 3 9 4 規格に準拠した物理層の機能を備え、パケットを転送する各々異なるノード識別番号を持つN-1個(N; 1以上の整数)の第2のパケ

ット転送ノードと、前記第2のバスに接続されており、I E E E 1 3 9 4 規格に準拠した物理層以上の機能を備え、自ノード識別番号と等しいまたは前記第2のパケット転送ノードのノード識別番号と等しい宛先識別番号を持つシンクロナス・パケットを受信し、また前記第1のバスから受信されたシンクロナス・パケットを予め定められた転送速度で前記第2のバスへ送信する第2のパケット送受信ノードと、前記第2のノードの内で最大M個のノードが持つ各々異なるノード識別番号と前記第1のパケット転送ノードまたは前記第1のパケット送受信ノードのノード識別番号との1対1の対応関係と、前記第1のノードの内で最大N個のノードが持つ各々異なるノード識別番号と前記第2のパケット転送ノードまたは前記第2のパケット送受信ノードのノード識別番号との1対1の対応関係とを記憶する対応関係記憶手段と、前記第1または第2のバスから受信したシンクロナス・パケットのヘッダを変換するヘッダ変換手段とを具備することを特徴とする。

【0008】

請求項3記載の発明は、請求項2に記載のパケット速度変換器において、前記予め定められた転送速度は、前記第1または第2のパケット送受信ノードと、送信されるシンクロナス・パケットが持つ宛先識別番号によって示される前記第1または第2のノードとの間で転送可能な最大の転送速度であることを特徴とする。

請求項4記載の発明は、請求項2または請求項3に記載のパケット速度変換器において、前記ヘッダ変換手段は、前記第1または第2のバスから受信したシンクロナス・パケットの宛先識別番号を、前記対応関係記憶手段に記憶される対応関係に基づき前記第2または第1のノードのノード識別番号に変換し、また該シンクロナス・パケットの送信元識別番号も、該対応関係に基づき前記第2または第1のパケット転送ノードまたはパケット送受信ノードのノード識別番号に変換することを特徴とする。

請求項5記載の発明は、請求項2乃至請求項4のいずれかの項に記載のパケット速度変換器において、前記第1または第2のバスから受信するシンクロナス・パケットの内で、リクエスト・パケットが持つ送信元識別番号と宛先識別番号

を記憶する識別番号記憶手段を具備し、前記ヘッダ変換手段は、このリクエスト・パケットに対応するレスポンス・パケットを受信した場合に、該レスポンス・パケットの送信元識別番号と宛先識別番号とを、前記識別番号記憶手段が記憶している該リクエスト・パケットの宛先識別番号と送信元識別番号とに各々変換することを特徴とする。

【0009】

請求項6記載の発明は、請求項2乃至請求項5のいずれかの項に記載のパケット速度変換器において、前記第2のバスのサイクル周期を前記第1のバスのサイクル周期に同期させるサイクル周期同期手段を具備し、前記第1または第2のパケット送受信ノードは、ストリーム・パケットを前記第1または第2のバスから受信して、予め定められた転送速度で他方のバスへ送信することを特徴とする。

請求項7記載の発明は、請求項6に記載のパケット速度変換器において、前記第1のパケット送受信ノードが前記第1のバスへ送信するストリーム・パケットの転送速度は、毎秒393.216メガビットのS400と呼ばれる速度であることを特徴とする。

請求項8記載の発明は、請求項6または請求項7に記載のパケット速度変換器において、前記第1のパケット送受信ノードは、ストリーム・パケットの送信の開始または終了を要求するアシンクロナス・パケットを前記第1のノードから受信すると、前記第2のパケット送受信ノードがストリーム・パケットを前記第2のバスへ送信する動作の開始または終了の設定を行い、一方、ストリーム・パケットの受信の開始または終了を要求するアシンクロナス・パケットを前記第1のノードから受信すると、ストリーム・パケットを前記第1のバスへ送信する動作の開始または終了の設定を行うことを特徴とする。

請求項9記載の発明は、請求項8に記載のパケット速度変換器において、前記第2のパケット送受信ノードは、前記第1のパケット送受信ノードがストリーム・パケットの送信の開始または終了を要求するアシンクロナス・パケットを前記第1のノードから受信すると、該アシンクロナス・パケットの宛先識別番号に対応する前記第2のノードへ該ストリーム・パケットの送信の開始または終了を要求するアシンクロナス・パケットを送信し、一方、前記第1のパケット送受信ノ

ードがストリーム・パケットの受信の開始または終了を要求するシンクロナス・パケットを前記第1のノードから受信すると、該シンクロナス・パケットの宛先識別番号に対応する前記第2のノードへ該ストリーム・パケットの受信の開始または終了を要求するシンクロナス・パケットを送信することを特徴とする。

【0010】

請求項10記載の発明は、請求項9に記載のパケット速度変換器において、前記第2のパケット送受信ノードは、前記第2のバスにおいてバス・リセットが発生すると、該バス・リセットが発生する前に前記第2のノードに設定されていたストリーム・パケットの送信または受信の設定を、再度前記第2のノードに行うことを特徴とする。

請求項11記載の発明は、請求項8乃至請求項10のいずれかの項に記載のパケット速度変換器において、前記第1のパケット送受信ノードは、IEC61883規格に定められるプラグ・コントロール・レジスタを備えており、前記対応関係記憶手段に記憶されている対応関係にある前記第2のノードがプラグ・コントロール・レジスタを具備している場合には、該プラグ・コントロール・レジスタの初期値を、該第2のノードのプラグ・コントロール・レジスタから読み出す値に設定し、この設定する値の内OUTPUT_MASTER_PLUGレジスタ及びINPUT_MASTER_PLUGレジスタのData rate capabilityフィールドの値とOUTPUT_PLUG_CONTROLレジスタのData rateフィールドの値については、前記第1のバスにストリーム・パケットを送信する転送速度に対応する値に変更して設定することを特徴とする。

請求項12記載の発明は、請求項11に記載のパケット速度変換器において、前記第1のパケット送受信ノードが備えるOUTPUT_MASTER_PLUGレジスタにストリーム・パケットの送信を指示する値が設定されている場合には、前記第2のバスから前記第2のパケット送受信ノードが受信するストリーム・パケットが持つ予め定められたチャンネル番号を該OUTPUT_PLUG_CONTROLレジスタのChannel numberフィールドに示される。

値に変換し、一方、前記第1のパケット送受信ノードが備えるINPUT_PLUG_CONTROLレジスタにストリーム・パケットの受信を指示する値が設定されている場合には、前記第1のバスから前記第1のパケット送受信ノードが受信するストリーム・パケットが持つチャンネル番号を予め定められたチャンネル番号に変換するチャンネル番号変換手段を具備し、前記第1のパケット送受信ノードが受信する該ストリーム・パケットが持つチャネル番号は、前記INPUT_PLUG_CONTROLレジスタにストリーム・パケットの受信を指示する値が設定されている場合の、該INPUT_PLUG_CONTROLレジスタのChannel numberフィールドに示される値であることを特徴とする。

【0011】

請求項13記載の発明は、請求項12に記載のパケット速度変換器において、前記予め定められたチャンネル番号は、10進数の63であることを特徴とする。

請求項14記載の発明は、請求項1乃至請求項13のいずれかの項に記載のパケット速度変換器において、前記第1または第2のバスから受信され他方のバスに送信されるアシンクロナス・パケットは、前記第1または第2のバス上のアドレスにて16進数のFFF F000 0400からFFF F000 07FCの範囲内にあるコンフィグレーション・ロムへのリード・リクエスト・パケット及びこれに対応したリード・レスポンス・パケットを含むことを特徴とする。

請求項15記載の発明は、請求項2乃至請求項13のいずれかの項に記載のパケット速度変換器において、前記対応関係記憶手段に記憶されている対応関係に示される前記第1または第2のノードから読み出されるコンフィグレーション・ロムのデータを記憶するコンフィグレーション・ロム記憶手段を具備し、前記第1のパケット送受信ノードは、コンフィグレーション・ロムへのリード・リクエスト・パケットを前記第1のバスから受信した場合に、該リード・リクエスト・パケットの宛先識別番号が示すノードに対応する前記第2のノードの該コンフィグレーション・ロムのデータを、前記コンフィグレーション・ロム記憶手段から

読み出し、該読み出されたデータを格納したリード・レスポンス・パケットを前記第1のバスに送信し、一方、前記第2のパケット送受信ノードは、コンフィグレーション・ロムへのリード・リクエスト・パケットを前記第2のバスから受信した場合に、該リード・リクエスト・パケットの宛先識別番号が示すノードに対応する前記第1のノードの該コンフィグレーション・ロムのデータを、前記コンフィグレーション・ロム記憶手段から読み出し、該読み出されたデータを格納したリード・レスポンス・パケットを前記第2のバスに送信することを特徴とする。

請求項16記載の発明は、請求項15に記載のパケット速度変換器において、前記コンフィグレーション・ロム記憶手段は、前記対応関係記憶手段に記憶されている対応関係に示される前記第1または第2のノードから読み出されるコンフィグレーション・ロムのデータの内、Bus_Inf o_Blockの下位64ビットの値とNode_Unique_Id_leafの下位64ビットの値とを、該対応関係に示される前記第1または第2のノードに対応する前記第1、2のパケット転送ノードまたは第1、2のパケット送受信ノードのいずれかが持つExtended Unique Identifier, 64 bitsの値と共に変更して記憶し、さらに、Module_Vendor_Id_entryのmodule_vendor_idフィールドの値を前記電子機器の製造者を示すcompany IDの値に変更して記憶することを特徴とする。

【0012】

【発明の実施の形態】

以下、図面を参照し、この発明の実施の形態について説明する。

図1は第1の実施形態によるパケット速度変換器101の構成を示すブロック図である。この図において、11はCPU(中央処理装置)、12はCPU11にて実行されるパケット速度変換器101の動作のプログラムが記憶されたROM(リードオンリメモリ)、13はバスB1とB2の間で転送されるアシンクロナス・パケットや他のデータを一時的に記憶するRAM(ランダムアクセスメモリ)である。21と22はIEEE1394規格に準拠した物理層の機能を実現する物理層LSI、31と32はIEEE1394規格に準拠したリンク層の機

能を実現するリンク層LSIである。そして、CPU11、ROM12、RAM13、リンク層LSI31、32はホストバスS1を介して互いに接続されている。また、物理層LSI21、22は1394に準拠したバスB1、B2に接続されており、且つ物理層／リンク層インターフェースを介してそれぞれリンク層LSI31、32に接続される。さらにリンク層LSI31、32間には、バスB1とバスB2の間で転送されるアイソクロナス・パケットが通るアイソクロナス・パケット転送経路S3と同期信号転送経路S2が所定の端子間に確立される。14-1と14-2はバスB1とB2へ送信するパケットの速度変換の仕様を設定するスイッチであり、リンク層LSI31、32にそれぞれ接続されている。

【0013】

図2はパケット速度変換器101を用いたシステム構成例を示す図である。図2においてパケット速度変換器101はバスB1を介して高速ノード230と接続され、またバスB2を介して低速ノード240と接続されている。なお、この図においてノード210は物理層LSI21、リンク層LSI31などで構成されており、またノード220は物理層LSI22、リンク層LSI32などで構成されている。パケット速度変換器101は、ノード210によってバスB1から受信されたパケットをノード220がバスB2に送信する機能と、ノード220によってバスB2から受信されたパケットをノード210がバスB1に送信する機能とを有している。ただし、このように1394バス間でパケット速度変換器101により転送されるパケットは、各バス上を転送される全てのパケットではない。例えば、各バス上を転送されるPHY (Physical) パケットとACKNOWLEDGE (acknowledge) パケットは、他方のバスに転送されることはなく、シンクロナス・パケットとストリーム・パケットとから構成されるプライマリ・パケットと呼ばれるパケットのみがバス間で転送される。さらに、全てのプライマリ・パケットが転送されることもなく、予め定められた一部の種別のプライマリ・パケットのみがバス間転送される。

【0014】

図3は同実施形態の動作を説明する図である。同図を参照して、パケット速度変換器101がバスB1、B2間でパケット転送する際にそのパケットの転送速

度を変換する動作の一例として、S400の転送能力を持つノード230をバスB1に、S100の転送能力を持つノード240をバスB2にそれぞれ接続し、両ノード間でパケットの送受信を行う場合を説明する。この図において斜線が引かれたパケットPS1-1～PS1-4とPS2-1～PS2-4は、サイクルの開始を示すサイクルスタートパケットであり、125マイクロ秒周期で各バスのサイクルマスタにより送信される。また、図の横軸は時間経過を示し右方向に進む程に時間が経過している。ノード230がバスB1に送信するS400のパケットPA1は、ノード210により受信される。このパケットPA1は、ノード220によりS100の転送速度に変換されパケットPA2としてバスB2に送信される。そして、このパケットPA2はノード240により受信される。一方、ノード240がバスB2に送信するS100のパケットPB1は、ノード220により受信された後、S400の転送速度に変換されノード210によりパケットPB2としてバスB1に送信される。そして、このパケットPB2はノード230によって受信される。すなわち、図3に示されるように、パケットPA2、PB1とともにS100で転送されるバスB2と比較して、S400で転送されるバスB1では、その転送に要する時間が約4分の1で済んでいる。従って、高速機器であるノード230が接続されるバスB1の使用効率は、低速な機器であるノード240との間で通信を行う場合でもパケット速度変換器101によってパケットの速度を変換することにより向上する。

【0015】

例えば、従来、DV仕様のデジタル映像信号は、S100で転送される場合には、1サイクルあたり約40マイクロ秒の転送時間を必要とするために同時に最大2チャンネルしか転送できなかった。しかし、同実施形態によるパケット速度変換器101を用いてS100のパケットをS400の転送速度に変換して転送すれば、4倍の8チャンネルを同時に転送することが可能となる。

なお、1394では、転送速度に応じてパケットのペイロードサイズの最大値が定められている。例えばシンクロナス・パケットでは、S100の最大ペイロードサイズは512バイト、S400では2048バイトである。従って、このパケット速度変換器101を用いる場合のパケットサイズは、低速側の最大パ

ケットサイズに基本的には制限される。ただし、高速データを低速データに変換して転送する際に、上記最大パケットサイズの制限を超えないようにパケットを分割して転送する機能をパケット速度変換器101に付加すれば、高速側バスのパケットサイズをより大きくすることが可能である。

【0016】

次に、図1及び図4～図9を参照して同実施形態の動作をさらに詳細に説明する。図4はパケット速度変換器101を用いたシステム構成例を示す図であり、同図において、パケット速度変換器101は図2に示されたと同様に、パケット速度変換器101のノード210と220がバスB1とB2にそれぞれ接続されている。また、バスB1には3台のノード231～233が、バスB2には1台のノード241がそれぞれ接続されている。このノード241は、S100でDV仕様のデジタル映像信号を送受信することが可能なカムコーダである。そして、各ノードは、バス識別番号（以下、バスIDと称する）とフィジカル識別番号（以下、フィジカルIDと称する）からなるノード識別番号（以下、ノードIDと称する）を割り当てられている。全ノードともバスIDは16進数の3FFであり、この3FFというバスIDの値はlocal bus（自分が接続されているバス）を示す。フィジカルIDは、ノード210が3、ノード231が2、ノード232が1、ノード233が0、ノード220が1、ノード241が0である。これは、図1においてバスB1とB2に接続される物理層LSI21と22とに、フィジカルIDの値として3と1とがそれぞれに割り当てられていることになる。

【0017】

また、図1においてスイッチ14-1にはバスB2からバスB1にパケットを転送する際の、スイッチ14-2にはバスB1からバスB2にパケットを転送する際の速度変換仕様がそれぞれ設定されている。図5はスイッチの値と速度変換仕様との対応関係を示す表である。ストリーム・パケットの場合は、スイッチの値が0か3の時はS100に、1か4の時はS200に、2か5の時はS400にそれぞれ転送速度が変換される。一方、アシンクロナス・パケットの場合は、スイッチの値が0のときはS100に、1の時はS200に、2の時はS400

にそれぞれ転送速度が変換されるのに対し、スイッチの値が3～5の時は、転送可能な最速の転送速度に変換されて転送される。この最速の速度は、バス内のバス・マネージャが管理するスピード・マップ・レジスタを参照するか、あるいは、バス上の各ノードがバス構成時に送信するセルフID（自己識別）パケットと各ノードのコンフィグレーション・ロムを解析することにより導出する。この設定を用いることにより、シンクロナス・パケットの宛先識別番号（以下、宛先IDと称する）に応じて、最適な転送速度を用いることが可能である。最後に、スイッチの値が6の時は、ストリーム・パケット、シンクロナス・パケットとともに受信された時の転送速度と等しい速度で他方のバスにパケットが送信される。これらのスイッチ14-1と14-2の値は、リンク層LSI31と32に具備されるレジスタにそれぞれ記憶され、パケットを転送する際の速度を決定するために使用される。

【0018】

なお、同実施形態では、リンク層LSI31、32に速度設定用の端子を設け外部のスイッチ14-1、14-2を用いて転送速度を設定する仕様が用いられたが、リンク層LSI31、32に速度設定用端子を設けることなく、ホストバスS1を介してCPU11からリンク層LSI31、32のレジスタに速度設定用パラメータの値を書き込む仕様として転送速度を設定することも可能である。

また、図1に示される同期信号転送経路S2は、バスB1とB2との間で8kHzのサイクル周波数の同期をとるための同期信号を、リンク層LSI31、32間で送受信する経路である。1394では、クロック周波数の精度がプラス・マイナス100ppm (Parts Per Million)と規定されているため、2つのバスB1、B2のサイクル周波数は最大200ppmずれています。この最大200ppmずれるという値は、2つのバスB1、B2でそれぞれ経過するサイクルが約0.6秒で1つずれる程度の値であるため、シンクロナス・パケットの正常なバス間転送がこのままではできない。従って、シンクロナス・パケットのバス間転送をパケット速度変換器101がサポートするためには、バスB1、B2間のサイクル周波数を同期させる必要がある。そこで、同実施形態では、バスB2のサイクル周波数をバスB1のサイクル周波数に同期させる方

法を用い、これを実現するために、ノード220がバスB2におけるサイクルマスターに必ずなる仕様とした。

【0019】

次に、同実施形態におけるアシンクロナス・パケットのバス間転送方法について説明する。パケット速度変換器101は、RAM13に記憶される各ノードの対応が1対1に示される第1と第2の対応表と、転送されるアシンクロナス・パケットのヘッダが同じく記憶されるヘッダ情報とを用いてアシンクロナス・パケットのバスB1、B2間転送を行う。第1と第2の対応表には、それぞれパケット速度変換器101内のあるノードのノードIDと、もう一方のノードが接続されているバス上のノードのノードIDとの対応関係が記述される。図6は第1と第2の対応表である。第1の対応表にはノード210とバスB2上のノード241との対応関係が記載され、第2の対応表にはノード220とバスB1上のノード231との対応関係が記載されている。

なお、ノードIDは、バスIDとフィジカルIDとから構成されるが、同実施形態では全てのノードのバスIDを16進数の3FFとしたため、第1と第2の対応表にはフィジカルIDのみが記載される仕様とした。しかし、バスIDまで含めたノードIDを各対応表に記載しても良い。

なお、以降の説明では、宛先IDや送信元識別番号（以下、送信元IDと称する）に関してはバスIDの記述を省略する。

さて、第1の対応表にはノード210とノード241の間で、第2の対応表にはノード220とノード231の間で対応関係が確立されていることがそれぞれ示されている。

【0020】

次に、図7は、この第1と第2の対応表を用いノード231からノード241に対してライト・トランザクションが行われた動作を説明するシーケンス図である。なお、ここでは、スイッチ14-1は2に、スイッチ14-2は0に設定されている。また、図7に示される「フィジカルID」は各ノードに割り当てられたフィジカルIDの値を、「src」はアシンクロナス・パケットの送信元ID（source ID）の内のフィジカルIDの値を、「dst」はアシンクロ

ナス・パケットの宛先ID (destination ID) の内のフィジカルIDの値をそれぞれ示す。また、「WriteReq」はアシンクロナス・パケットがライト・リクエスト・パケットであることを、「WriteResp」はアシンクロナス・パケットがライト・レスポンス・パケットであることを示す。この図を参照して、パケット速度変換器101によって行われるライト・トランザクション動作を説明する。初めにノード231は、ライト・リクエスト・パケットをS400の転送速度で送信する（図7のステップSP1）。この際、ライト・リクエスト・パケットの宛先IDには、同じバスB1に接続されているノード210のノードIDである3が記述される。このようにして、実際にはノード241に宛てたライト・リクエスト・パケットが、バスB1においてはノード210に宛てたライト・リクエスト・パケットと見なされる。このライト・リクエスト・パケットを受信したノード210は、ノード231に対してackingを返す（図7のステップSP2）。

【0021】

そして、ノード210に受信されたライト・リクエスト・パケットは、RAM13に一時記憶されたのち、ヘッダ変換処理とヘッダ情報の書き込み処理とが行われる（図7のステップSP3）。まず、第1の対応表を参照して、ノード210に対応するバスB2上のノードIDの値に宛先IDが変換される。即ちここでは、宛先IDの値が3から0に変換される。一方送信元IDの値は、固定的にノード220のノードIDの値に変換される。即ちここでは、送信元IDの値が2から1に変換される。そして、ヘッダが変換されたライト・リクエスト・パケットは、RAM13に記憶される。そして、ヘッダ情報の書き込み処理では、ヘッダ変換前後の送信元ID、宛先IDとヘッダに記載されるトランザクション・ラベルとがRAM13に記憶される。次いで、CPU11はライト・リクエスト・パケットをRAM13から読み出し、リンク層LSI32に入力する。リンク層LSI32はスイッチ14-2の設定値が0であることを確認し、入力されたライト・リクエスト・パケットをS100の転送速度でバスB2に送信する（図7のステップSP4）。

バスB2からライト・リクエスト・パケットを受信したノード241は、ac

`k_pending`を送信する（図7のステップSP5）。次いで、ノード241は、ライト・レスポンス・パケットをS100の転送速度で送信する（図7のステップSP6）。このライト・レスポンス・パケットの宛先IDおよび送信元IDは、それぞれ対応するライト・リクエスト・パケットの送信元IDおよび宛先IDとなるため、宛先は同一バス上のノード220を示すことになる。このライト・レスポンス・パケットを受信したノード220は、ノード241に対して`ack_complete`を返す（図7のステップSP7）。

【0022】

そして、受信されたライト・レスポンス・パケットは、RAM13に一時記憶される。ライト・レスポンス・パケットの受信後、このライト・レスポンス・パケットに対応するライト・リクエスト・パケットをノード220が送信しているか否かが、RAM13に記憶されているヘッダ情報を参照することにより確認される。ライト・リクエスト・パケットの送信確認は、宛先ID、送信元ID、トランザクションラベルの3つの値を比較することにより行われる。そして、ライト・レスポンス・パケットに対応するライト・リクエスト・パケットのヘッダ情報が検出された場合には、ヘッダ変換処理が行われる（図7のステップSP8）。ここでは、ヘッダ情報に記載されているライト・リクエスト・パケット転送時におけるヘッダ変換処理前の送信元IDと宛先IDとを、それぞれライト・レスポンス・パケットの宛先IDと送信元IDとに書き込む処理が行われる。即ちここでは、送信元IDが3に、宛先IDが2に変換される。ヘッダ変換されたライト・レスポンス・パケットは、RAM13からリンク層LSI31に入力される。そして、リンク層LSI31はスイッチ14-1の設定値が2であることを確認し、S400の転送速度で入力されたライト・レスポンス・パケットをバスB1上に送信する（図7のステップSP9）。このライト・レスポンス・パケットを受信したノード231が、ノード210に対して`ack_complete`を返した時点で、ライト・トランザクションが完了する（図7のステップSP10）。

【0023】

このように、各バスでは同じバスに接続されたノード間でトランザクションが

行われ、そのトランザクションをパケット速度変換器101が第1と第2の対応表を用いて関連づけパケットを転送することにより、結果的には異なるバス上のノード間のトランザクションが行われる。

なお、ノード241がトランザクションを実行する場合には、これまでの説明と同様の方法で、パケット速度変換器101が第2の対応表を用いてトランザクションが行われる。

【0024】

次に、図8及び図9を参照して、同実施形態におけるストリーム・パケットのバス間転送方法について説明する。リンク層LSI31、32は、ストリーム・パケットの送受信を制御するストリーム・コントロール・レジスタ（以下、SCRと称する）を具備している。図8（a）はSCRのフォーマットを示す図である。SCRは7つのフィールドから構成される32ビットのレジスタであり、各フィールドに示される数字は各フィールド長のビット数を示す。そして、「st」フィールドは、「channel」フィールドに示されるチャンネル番号のストリーム・パケットを送信するか受信するかを指定する。「st」フィールドの値が1の場合は受信を示し、2の場合は送信であることを示す。「i」ビットの値が1の場合はストリーム・パケットがアイソクロナス・ストリームであることを指定し、0の場合はアシンクロナス・ストリームであることを指定する。「spd」フィールドは、パケットを送信する際の転送速度を指定する。「spd」フィールドの値が、0の場合はS100、1の場合はS200、2の場合はS400にそれぞれ対応する。「overhead」フィールドと「payload」フィールドは、パケットの転送に要する帯域を指定するためのフィールドである。「rsv」フィールドは、将来の仕様拡張のために予約されている予約領域(reserved)である。

【0025】

図8（b）はリンク層LSI31のSCRの設定例であり、図8（c）はリンク層LSI32のSCRの設定例である。この設定例では、リンク層LSI31と32のstフィールドがそれぞれ2（送信）と1（受信）に、channelフィールドがそれぞれ3と63に、spdフィールドがそれぞれ2と0に設定さ

れている。また、両リンク層LSI31と32のiビットはともに1である。従ってこれらの設定は、チャンネル番号63のアイソクロナス・パケットをバスB2から受信して、そのチャンネル番号を3に変換した後、バスB1にS400の転送速度で送信することを示している。

なお、同実施形態では、このSCRの設定はノード210に具備されるプラグ・コントロール・レジスタ（以下、PCRと称する）の設定値に連動して制御される方法を用いた。このPCRはIEC61883規格に定義されており、OUTPUT_MASTER_PLUGレジスタ（以下、oMPRと称する）、OUTPUT_PLUG_CONTROLレジスタ（以下、oPCRと称する）、INPUT_MASTER_PLUGレジスタ（以下、iMPRと称する）及びINPUT_PLUG_CONTROLレジスタ（以下、iPCRと称する）という4種のレジスタの総称である。oMPRとoPCRは、これを具備する機器が送信するアイソクロナス・パケットの設定のために使用され、iMPRとiPCRは同じくアイソクロナス・パケットの受信設定に使用される。

【0026】

図9はこれらのレジスタのフォーマットを示す図であり、全てのレジスタは複数のフィールドから構成される32ビットのレジスタであって各フィールドに示される数字は各フィールド長のビット数を示す。図9(a)はoMPRのフォーマットを示す図であり、oMPRは6つのフィールドから構成される。図9(b)はiMPRのフォーマットを示す図であり、iMPRは6つのフィールドから構成される。図9(c)はoPCRのフォーマットを示す図であり、oPCRは8つのフィールドから構成される。図9(d)はiPCRのフォーマットを示す図であり、iPCRは6つのフィールドから構成される。ノード210が具備するこれらのレジスタの初期値には、第1の対応表上でノード210に対応するノードであるノード241に具備されるPCRから読み出された値が用いられる。ただし、ストリーム・パケットの転送速度に対する送信能力と受信能力を示すoMPRとiMPRの「Data rate capability」フィールドの値と、送信するストリーム・パケットの転送速度を示すoPCRの「Data rate」フィールドの値とは、スイッチ14-1の設定値に応じた値に書き

換えられる。同実施形態においては、ノード241がS100のみをサポートしているためにこれらのフィールドの値は全てS100を示す0であったが、スイッチ14-1の値が2に設定されたため、これらのフィールドは全てS400を示す2という値に書き換えられている。

【0027】

このPCRとSCRとの連動の仕様を、図8 (b) と (c) のSCRの設定例に基づいて、さらに具体的に説明する。まず、ノード210がストリーム・パケットを送信する設定がoPCRになされた場合には、リンク層LSI31と32が有するSCRのstフィールドの値はそれぞれ2と1に設定される。または、ノード210がストリーム・パケットを受信するような設定がiPCRになされた場合には、リンク層LSI31と32のstフィールドの値は1と2に設定される。次いで、channel1フィールドの値は、リンク層LSI31側はノード210の、またリンク層LSI32側はノード241のoPCRのChannel1 numberフィールドの値に一致させる。ノード241のoPCRのChannel1 numberフィールドの値は実際には63固定であるため、リンク層LSI32のchannel1フィールドの値も63固定としても実用上は問題ない。さらに、リンク層LSI31と32のspdフィールドの値はそれぞれスイッチ14-1と14-2の設定値を反映させた値である2と0とする。実際に、ノード241が送信するデジタル映像信号をS400の転送速度で受信する目的で、ノード231がノード210のoPCRにロック・トランザクションを実行したところ、ノード241が送信するチャンネル番号63のS100のアイソクロナス・ストリームが、ノード210のoPCRに書かれているチャンネル番号4に変換されて、S400の転送速度でバスB1上に転送されることが確認された。

【0028】

さらに、上述したPCRとSCRの連動によるストリーム・パケットの転送方法を用いたパケット速度変換器101の効果を検証するため、図4のシステムにおいて、一方のノードにS100のみをサポートするDV機器が接続されたパケット速度変換器101を他に7台用意して、DV機器が接続されていないノード

を全てバスB1に接続した。そして、ノード231が8台のパケット速度変換器101のPCRに送信を要求するトランザクションを実行した結果、S400の転送速度のDVパケットが、バスB1上に8チャンネル転送されていることが実際に確認された。

【0029】

次に、ノード210がバスB1からコンフィグレーション・ロムへのリード・リクエストを受信した場合の処理について説明する。コンフィグレーション・ロムとは、そのノードに具備されている機能などが記された領域である。まず、ノード210が受信したリード・リクエスト・パケットを、上述のアシンクロナス・パケット転送方法に基づいてノード241に転送する。そして、ノード241が返すリード・レスポンス・パケットをリード・リクエスト・パケットを送信した元のノードに返送する。即ち、リード・リクエスト・パケットの送信元ノードから見ると、ノード210があたかもノード241の機能を有するノードとして認識される仕様である。これにより、例えば同実施形態のように、ノード241がIEC61883規格に準拠した機器である場合には、ノード231、232、233から見ると、ノード241が同一のバスに接続された機器として認識される。

なお、上述したコンフィグレーション・ロムは、バスB1またはB2上のアドレスにて16進数のFFF F000 0400からFFF F000 07FCの範囲内にあるコンフィグレーション・ロムとしても良い。

【0030】

図10は、この発明の第2の実施形態によるパケット速度変換器102の構成を示すブロック図である。この図において、パケット速度変換器102は、CPU11、ROM12、RAM13、物理層LSI21～25、リンク層LSI31、32とから構成される。同実施形態では物理層LSI23～25を設け、物理層LSI21、23、24をバスB1上にデイジーチェーンし、物理層LSI22、25をバスB2上にデイジーチェーンしている。図11は、パケット速度変換器102を用いたシステム構成を示す図である。同図において、パケット速度変換器102は、ノード211～213、221、222から主に構成され、

ノード211～213がバスB1に、ノード221、222がバスB2にそれぞれ接続されている。また、バスB1とB2には、それぞれノード311、312とノード321～323とがそれぞれ接続されている。なお、ノード311とノード321は、1394 Trade Associationが発行する「1394-based Digital Camera Specification」規格に準拠したS200のデジタル・カメラであり、ノード312、322、323は、このデジタル・カメラが送信する動画像を受信する能力を持つS400のパーソナル・コンピュータである。

【0031】

パケット速度変換器102において、ノード211は物理層LSI21とリンク層LSI31及びソフトウェアで実現されるトランザクション層以上から構成される。同様に、ノード221も、物理層LSI22とリンク層LSI32及びソフトウェアによる他の層から構成される。一方、ノード212及び213、222は、それぞれ物理層LSI23及び24、25のみから構成されるノードである。これらのノードにはそれぞれ個別のノードIDが割り当てられており、フィジカルIDは、ノード211が4、ノード212が3、ノード213が2、ノード221が4、ノード222が3である。バスIDは全ノードとも16進数の3FFである。また、バスB1とB2に接続されるノード311、312、321～323のノードIDの内、フィジカルIDは、ノード311が1、ノード312が0、ノード321が2、ノード322が1、ノード323が0である。バスIDは全ノードとも16進数の3FFである。そして、物理層LSIのみから構成されるノード212及び213、222は、自らがパケットを送受信する機能はなく、リピータ・ノードとしてのみ動作する。また、通常のリンク層LSIは、自分のノードIDと一致する値が宛先IDに書かれているアシンクロナス・パケットのみに対して受信処理を行い、それ以外のパケットは無視する仕様であるが、同実施形態で使用されたリンク層LSI31と32は、予め設定された自分のノードIDとは異なる宛先IDのアシンクロナス・パケットに対しても受信処理を行う機能を持っている。この機能を用いて、ノード211は、ノード211～ノード213宛のアシンクロナス・パケットをバスB1から受信するよう

、またノード221は、ノード221～ノード222宛のアシンクロナス・パケットをバスB2から受信するように予め設定されている。また、ノード211とノード221とが送信するアシンクロナス・パケットの速度は転送可能な最大速度に設定されている。一方、ストリーム・パケットは、ノード211、221とともにS400で送信するよう設定されている。

【0032】

次に、第1の実施形態と同様に、ノード間の対応表が作成される。図12は作成された第3と第4の対応表である。第3の対応表にはノード211とノード321の間と、ノード212とノード322の間と、ノード213とノード323の間とで対応関係がそれぞれ確立されていることが示されている。また、第4の対応表にはノード221とノード311の間と、ノード222とノード312の間とで対応関係がそれぞれ確立されていることが示されている。そして、パケット速度変換器102においては、第3と第4の対応表に記載されるノードのコンフィグレーション・ロムのデータをノード211と221がそれぞれ読み出し、それをRAM13に記憶させる。そして、パケット速度変換器102内のノード宛のコンフィグレーション・ロムへのリード・リクエスト・パケットが受信された場合には、そのノードに対応するバスB1またはB2上のノードのコンフィグレーション・ロムのデータを記載したリード・レスポンス・パケットをノード211または221が送信する。これにより、ノード311とノード312にとつては、ノード211～213がノード321～323に見え、またノード321～323にとつては、ノード221とノード222がノード311とノード312に見えることになる。

【0033】

実際に、例えば、パーソナルコンピュータであるノード312は、同一バス上の全ての他のノードからコンフィグレーション・ロムを読み出す動作を実行することにより、フィジカルIDが1であるノード311と、フィジカルIDが4であるノード211とが、デジタル・カメラであると認識した。同様に、ノード322とノード323も、同一バス上のノード221とノード321がデジタル・カメラであると認識した。

【0034】

この認識に基づいて、ノード312は、ノード211に対して動画データの送信を要求するアシンクロナス・パケットを送信する。具体的には、ベースアドレスからのオフセットが16進数の60Cのレジスタに対してライト・トランザクションを行うことにより、ノード312は送信するアイソクロナス・パケットのチャンネル番号と転送速度を指定する。そして、ノード312はオフセットが16進数の614のレジスタに対してライト・トランザクションを行うことにより、データ送信を開始させる。なお、ベースアドレスの値はRAMに記憶されるノード321のコンフィグレーション・ロムのUnit Dependent Directoryに書かれている。このライト・トランザクションをノード211が受信した後、このライト・トランザクションをバスB2上のノード321に転送する手順が行われる。

【0035】

まず、受信されたライト・リクエスト・パケットはRAM13に一時記憶され、ヘッダ変換処理が行われる。即ち、第3の対応表を参照して、宛先IDがノード211に対応するノード321の値に、第4の対応表を参照して、送信元IDの値がノード312に対応するノード222の値に変換される。次いで、ノード221では変換後の宛先IDが参照され、ノード221とノード321との間の最大の転送速度であるS200でライト・リクエスト・パケットが送信される。次いで、ノード321が送信するライト・レスポンス・パケットはノード221により受信され、RAM13に一時記憶された後、ヘッダ変換処理が行われる。即ち、第4の対応表を参照して、宛先IDがノード222に対応するノード312の値に、第1の対応表を参照して、送信元IDがノード321に対応するノード211の値に変換される。次いで、ノード211では変換後の宛先IDが参照され、ノード211とノード312との間の最大の転送速度であるS400でライト・レスポンス・パケットが送信される。なお、オフセットが16進数の60Cのレジスタへのライト・リクエストを受信した場合には、他のバスにパケットを転送する前に転送速度の設定値をチェックし、ノード321の性能を上回る値が書き込まれていた場合には、それが上回らないように書き換える処理も行われる。

る。実際に、ノード312からのリクエストには、S400で送信する要求が書かれていたが、その値をS200に変換してからバスB2上にライト・リクエスト・パケットが送信された。

【0036】

このシンクロナス・パケットのバス間転送によりライト・トランザクションが成功したことが検出されると、パケット速度変換器102はSCRの設定を行う。まず、オフセットが16進数の60Cのレジスタへのライト・トランザクションが成功したら、それに基づいてSCRのchannelフィールドとspdフィールドが書き換えられる。この例では、ノード312からチャンネル番号2のパケットをS400で送信する要求がなされたため、リンク層LSI31と32のSCRのchannelフィールドはともに2に、spdフィールドもともに2に設定される。次いで、オフセットが16進数の614のレジスタへのライト・トランザクションが成功したら、それに基づいてSCRのstフィールドが書き換えられる。即ち、リンク層LSI31と32のstフィールドの値は、それぞれ2（送信）と1（受信）に設定される。これらのSCRへの設定により、ノード321が送信するアイソクロナス・パケットが、ノード211によってS400の転送速度でバスB1上に送信されることが確認された。

【0037】

さらに、パケット速度変換器102には、バスリセットによりリセットされるストリームの送受信設定を回復する機能も具備されている。即ち、バスB2でバスリセットが発生すると、ノード221はノード321に対してストリーム送信をイネーブルにするために、オフセットが16進数の614のレジスタに対するライト・トランザクションを実行する。バスB2でバスリセットが発生したことをバスB1上のノードは識別できないため、バスB2でバスリセットが発生した直後にバスB1上のノードがこのトランザクションを実行することは困難である。従って、このバスリセット発生に対処する仕様は、バスリセットにより生じるデータ転送の中止を最小限に押さえる意味で有効である。

【0038】

なお、同実施形態では、RAM13に記憶されるノード311、312、32

1～323のコンフィグレーション・ロムのデータを以下のように書き換えて記憶することも可能である。即ち、読み出されたコンフィグレーション・ロムのデータの内、`Bus_Inf o_Block`の下位64ビットと`Node_Unique_Queue_Id_leaf`の下位64ビットとを、対応するパケット速度変換器102内のノードのEUI-64 (Extended Unique Identifier, 64 bits) の値に書き換え、さらに、`Module_Vendor_Id_entry`の`module_vendor_id`フィールドをパケット速度変換器102の製造者を示す`company ID`に書き換えたデータとして記憶することである。EUI-64は、General ROMフォーマットのコンフィグレーション・ロムを有する全てのノードが持っている64ビットの識別子であり、各ノードに各々異なる値が割り当てられる。このEUI-64は、製造者を示す24ビットの`company ID`と、各機器に対して製造者が個別に割り当てる40ビットの`chip_id`とから構成される。これらの書き換えを施したコンフィグレーション・ロムのデータを記憶することにより、パケット速度変換器102が備えるノードへのコンフィグレーション・ロムのリード・リクエストに対して、機器の機能だけを、対応するバス上のノードと同一に見せることが可能となる。

【0039】

図13は、この発明の第3の実施形態によるパケット速度変換器103の構成を示すブロック図である。同図において、パケット速度変換器103にはノード401～405が接続されている。パケット速度変換器103は図1に示されるパケット速度変換器101を3台具備しており、これらのパケット速度変換器101に具備される3台のノード220とノード404、405が1つのバスB2に接続されている。また、3台のパケット速度変換器101に具備されるノード210には、それぞれノード401～403がバスB1-1～B1-3を介して接続されている。この場合、第1の実施形態で説明したのと同様に、ノード404、405からは、同じバスに接続されている3台のノード220がそれぞれノード401～403と同じ機能を有し、かつ高速の転送能力を有する機器として認識される。このように、複数のパケット速度変換器101を具備することによ

って、複数の速度変換機能を有するパケット速度変換器103を構成することも可能である。

【0040】

【発明の効果】

以上説明したように、この発明によれば、1394バスに接続される複数の電子機器の間でパケットの送受信を行う電子機器において、低速な転送能力しか持たない電子機器を疑似し、高速な転送能力を持つ電子機器との間でパケットの送受信を行うノードと、高速な転送能力を持つ電子機器を疑似し、低速な転送能力しか持たない電子機器との間でパケットの送受信を行うノードとを具備し、これらのノードと電子機器間の対応関係に基づき受信したパケットのヘッダを変換し、宛先のノードに適した転送速度に速度変換してパケットを送信するようにしたので、高速な転送能力を持つ電子機器は、低速な転送能力しか持たない電子機器とのパケットの送受信においても、自転送能力の速度にてパケットを送受信することができる。その結果、低速な転送能力に起因したバスの帯域資源消費を緩和して、より効率の高い1394バスの利用を可能とする効果が得られる。

特にDV信号においては、3チャネル以上のDV信号を同一の1394バス上に転送することが可能となる。

【0041】

さらに、被疑似ノードのコンフィグレーション・ロムのデータを記憶しておき、コンフィグレーション・ロムのリード・リクエストに対してこの記憶しているデータを自コンフィグレーション・ロムのデータとしてリード・レスポンスするようにし、また、被疑似ノードのコンフィグレーション・ロムのデータを書き換えて記憶し、機器の機能だけを被疑似ノードと同一に見せることも可能としたので、この発明を用いた場合でも、DV機器などのコントローラの仕様を変更する必要は全くないという効果も得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態によるパケット速度変換器の構成を示すブロック図である。

【図2】同実施形態によるパケット速度変換器101を用いたシステム構

成例を示す図である。

【図3】 同実施形態の動作を説明する図である。

【図4】 同実施形態によるパケット速度変換器101を用いたシステム構成例を示す図である。

【図5】 同実施形態のスイッチ14-1、14-2の値と速度変換仕様との対応関係を示す表である。

【図6】 同実施形態の各ノードの対応が1対1に示される第1と第2の対応表である。

【図7】 同実施形態のライト・トランザクションの動作を説明するシーケンス図である。

【図8】 同実施形態のストリーム・コントロール・レジスタのフォーマットとリンク層LSI31、32における同レジスタの設定例を示す図である。

【図9】 同実施形態のプラグ・コントロール・レジスタのフォーマットを示す図である。

【図10】 この発明の第2の実施形態によるパケット速度変換器の構成を示すブロック図である。

【図11】 同実施形態によるパケット速度変換器102を用いたシステム構成例を示す図である。

【図12】 同実施形態の各ノードの対応が1対1に示される第3と第4の対応表である。

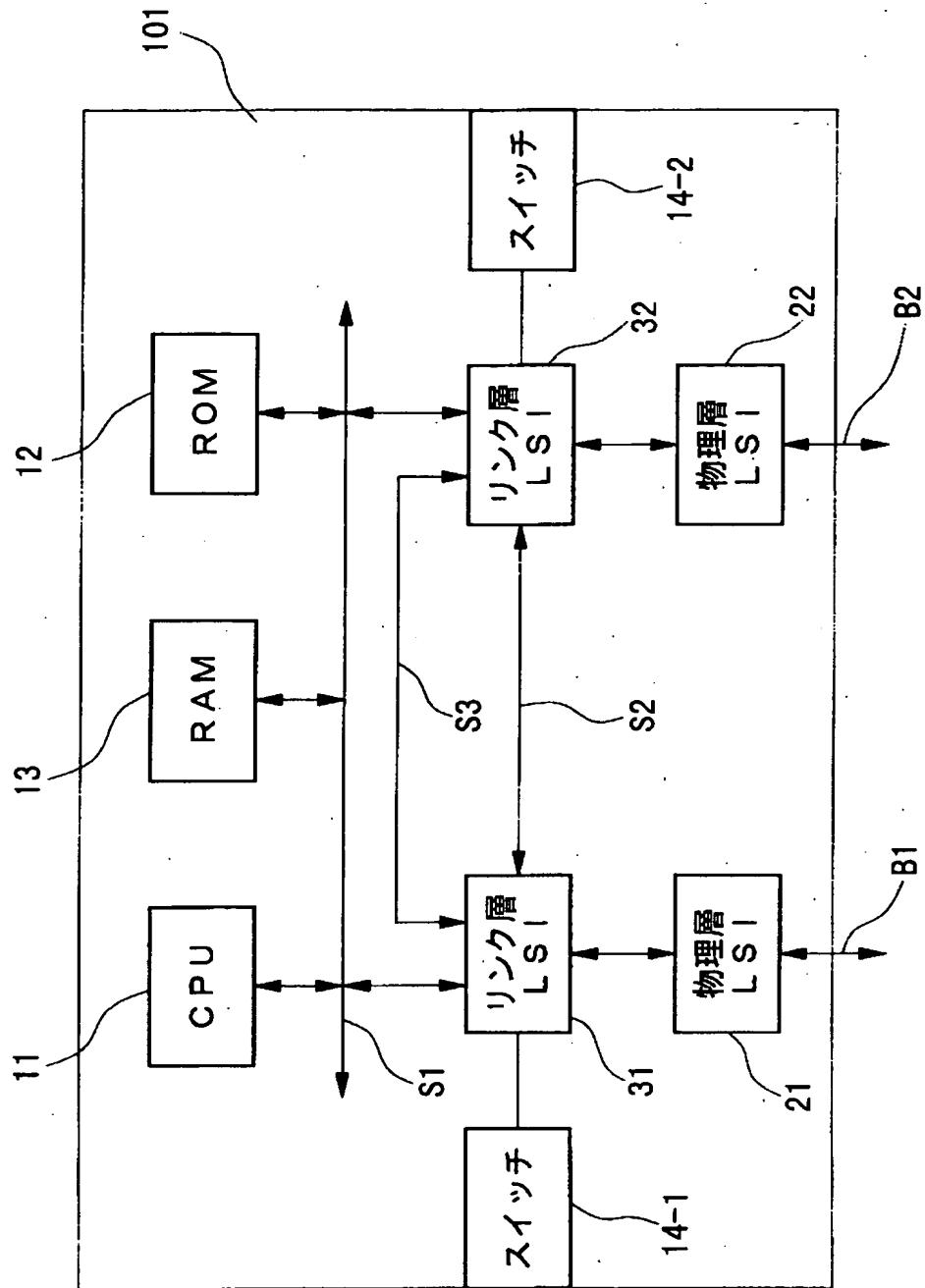
【図13】 この発明の第3の実施形態によるパケット速度変換器の構成を示すブロック図である。

【符号の説明】

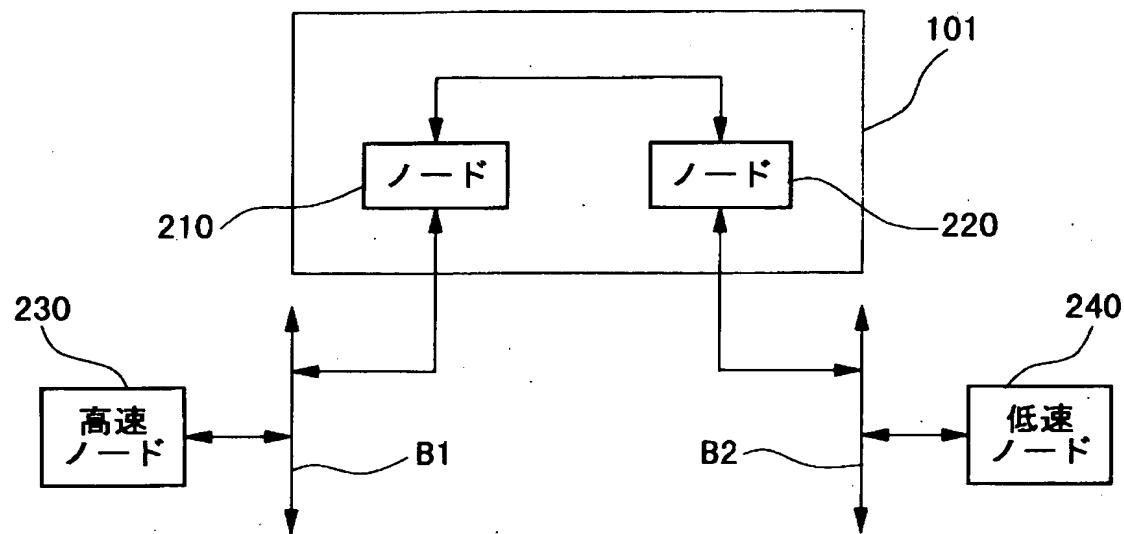
11…CPU、12…ROM、13…RAM、14-1～14-2…スイッチ、
21～22…物理層LSI、31～32…リンク層LSI。

【書類名】 図面

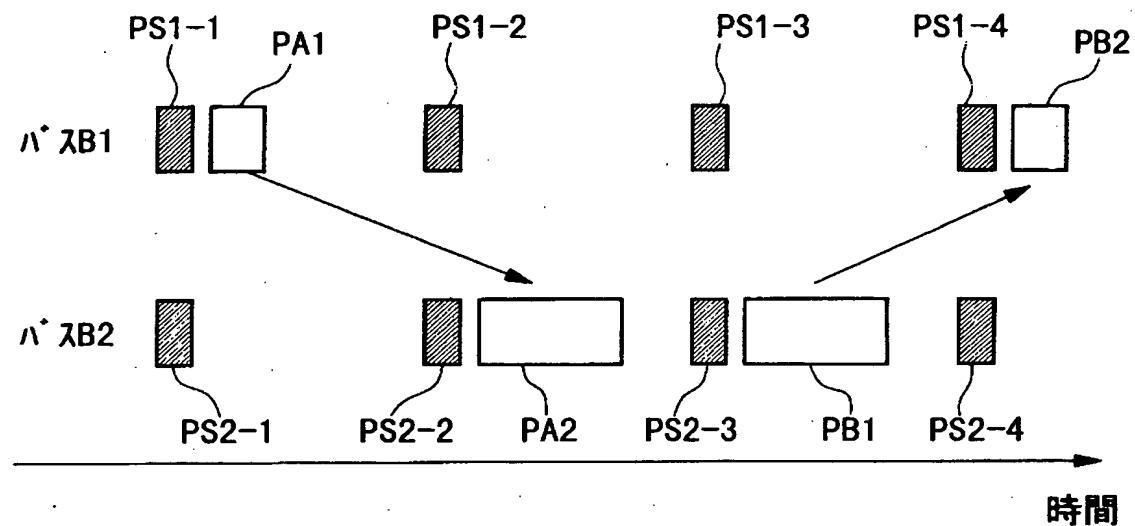
【図1】



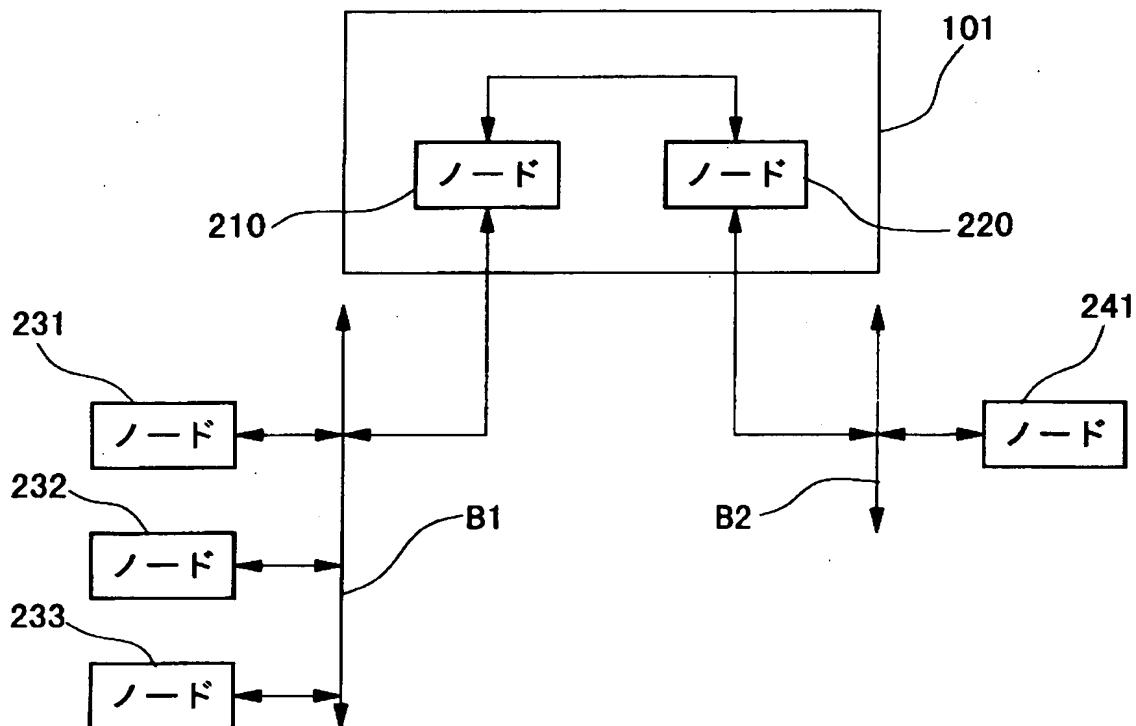
【図2】



【図3】



【図4】



【図5】

スイッチの値	速度変換仕様
0	iso/asyncともにS100に変換
1	iso/asyncともにS200に変換
2	iso/asyncともにS400に変換
3	isoはS100に変換 asyncは転送可能な最速の速度に変換
4	isoはS200に変換 asyncは転送可能な最速の速度に変換
5	isoはS400に変換 asyncは転送可能な最速の速度に変換
6	変換せず (受信時と等しい速度で送信)

【図6】

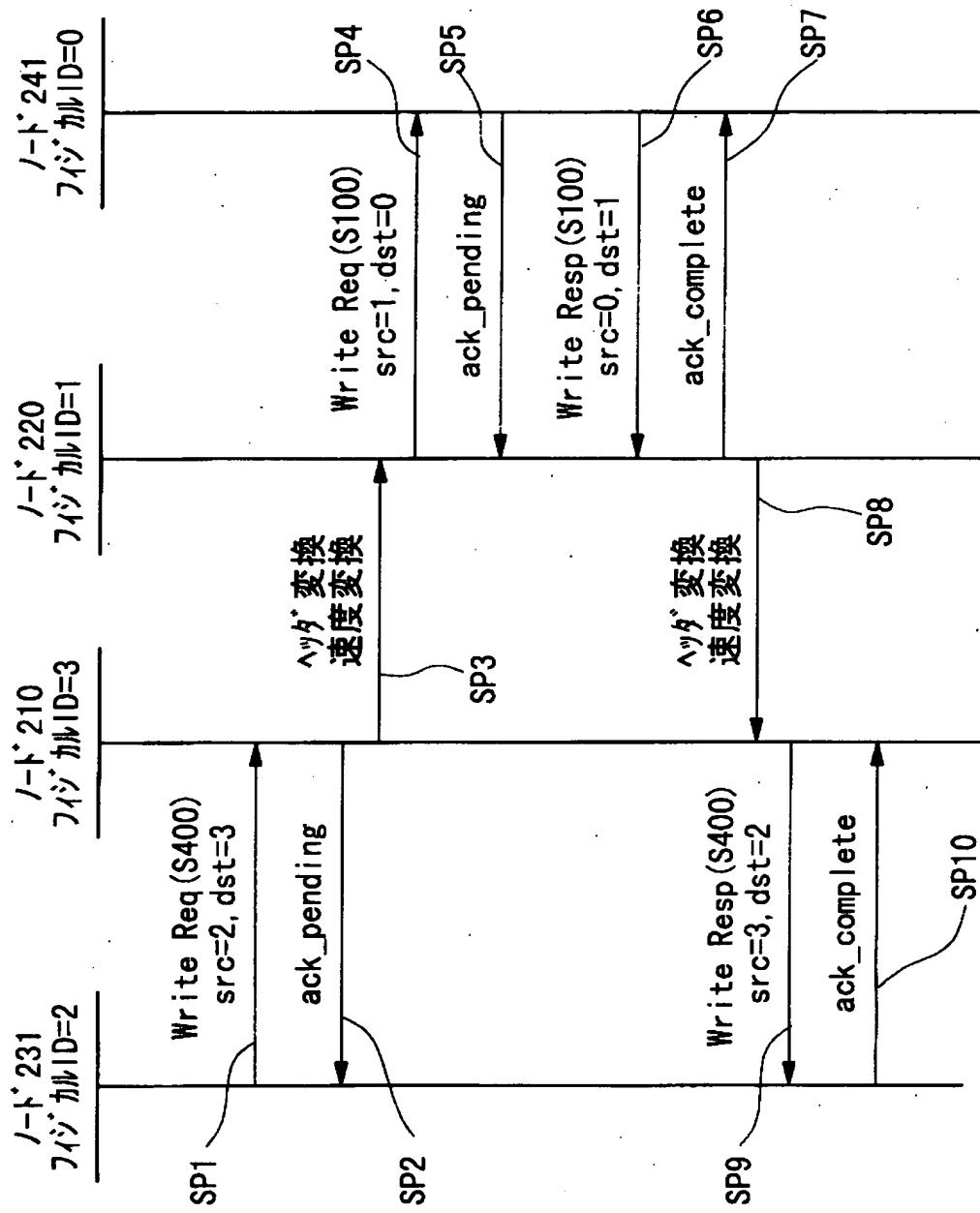
第1の対応表

ノート210の フィジカルID	対応するバスB2上の ノートのフィジカルID
3	0(ノート241)

第2の対応表

ノート220の フィジカルID	対応するバスB1上の ノートのフィジカルID
1	2(ノート231)

【図7】



【図8】

st	channel	i	spd	over-head	rsv	payload
2	6	1	3	4	2	14

(a) フォーマット

2	3	1	2	0	0	100
---	---	---	---	---	---	-----

(b) リンク層LSI31の設定例

1	63	1	0	0	0	100
---	----	---	---	---	---	-----

(c) リンク層LSI32の設定例

【図9】

Data rate capability	Broadcast channel base	Non-persistent extension field	Persistent extension field	Reserved	Number of output plugs
2	6	8	8	3	5

(a) oMPR format

Data rate capability	Reserved	Non-persistent extension field	Persistent extension field	Reserved	Number of input plugs
2	6	8	8	3	5

(b) iMPR format

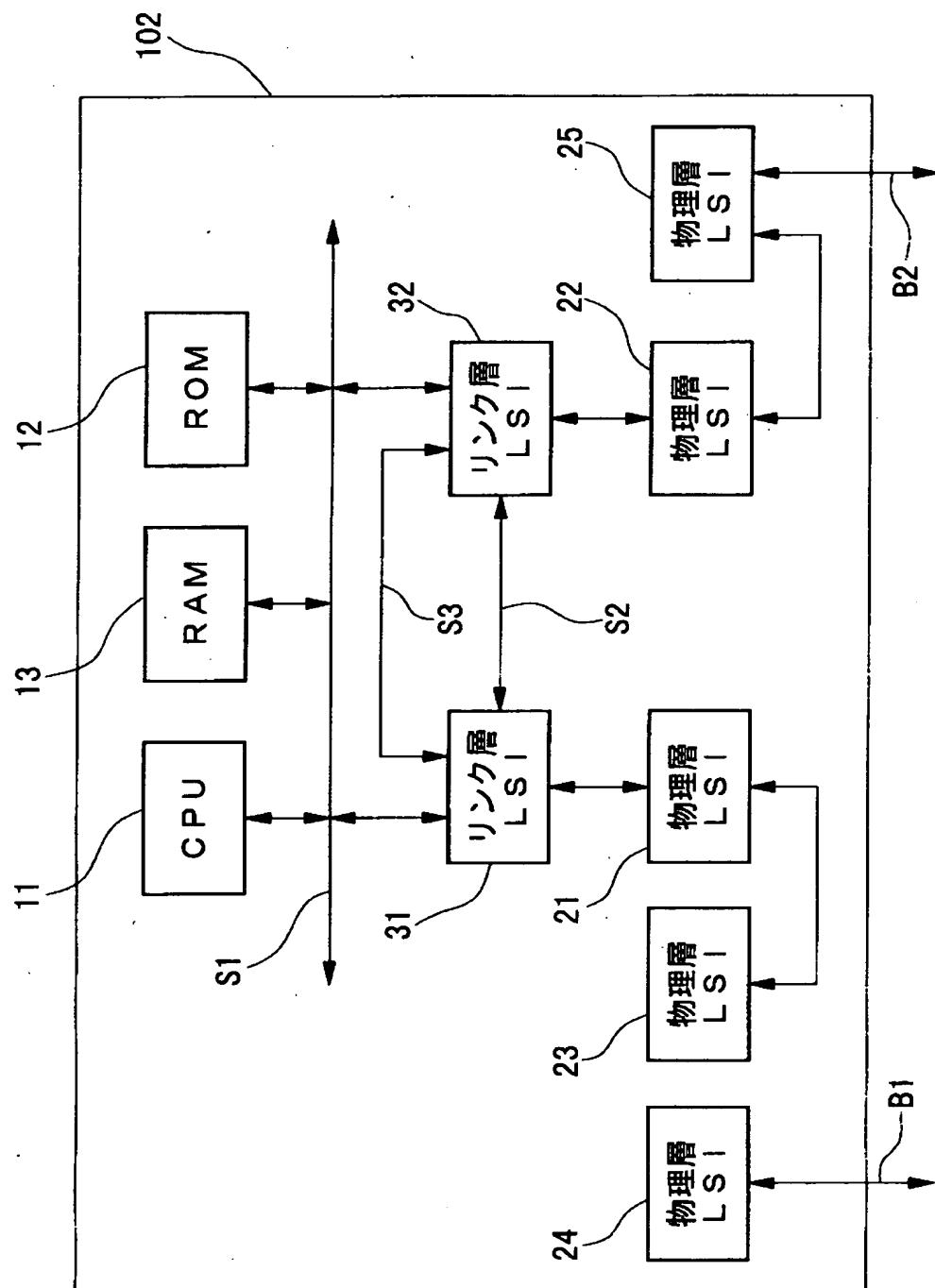
On-line	Broadcast connection counter	Point-to-point connection counter	Reserved	Channel number	Data rate	Overhead ID	Payload
1	1	6	2	6	2	4	10

(c) oPCR format

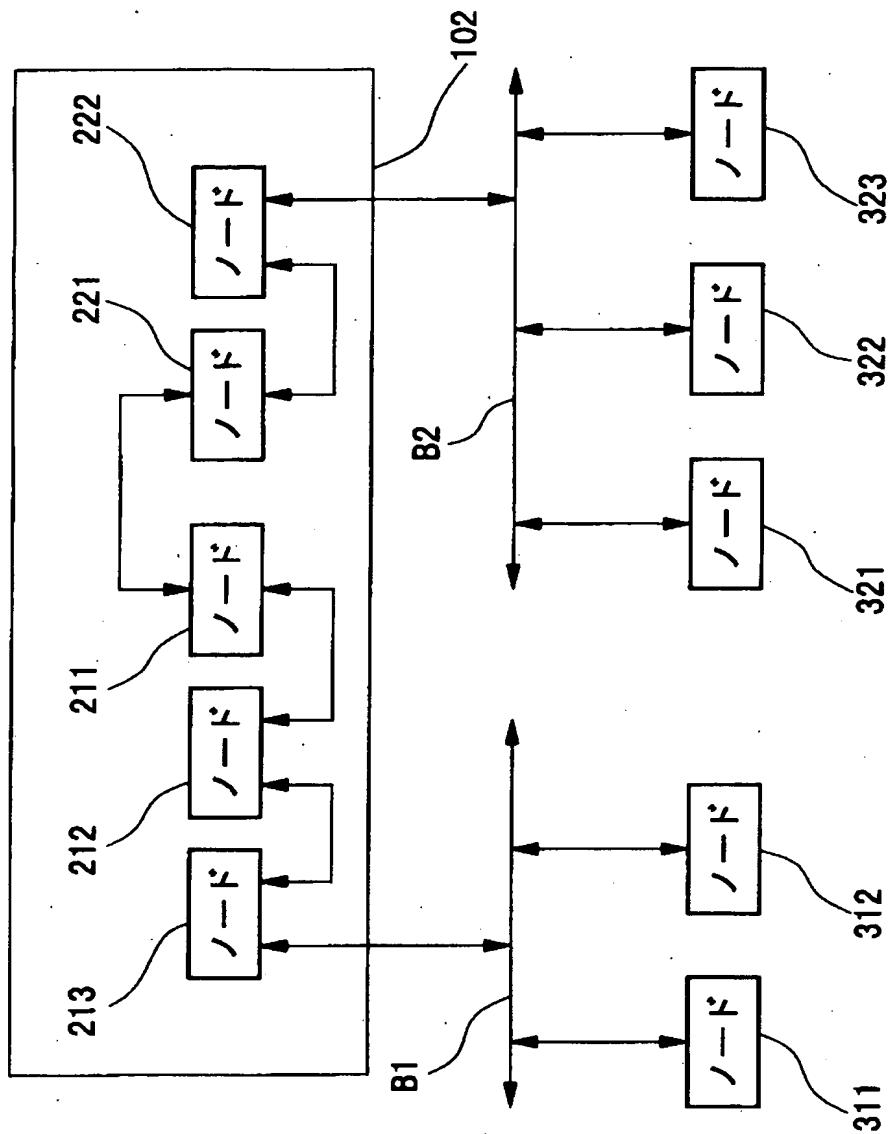
On-line	Broadcast connection counter	Point-to-point connection counter	Reserved	Channel number	Reserved
1	1	6	2	6	16

(d) iPCR format

【図10】



【図11】



【図12】

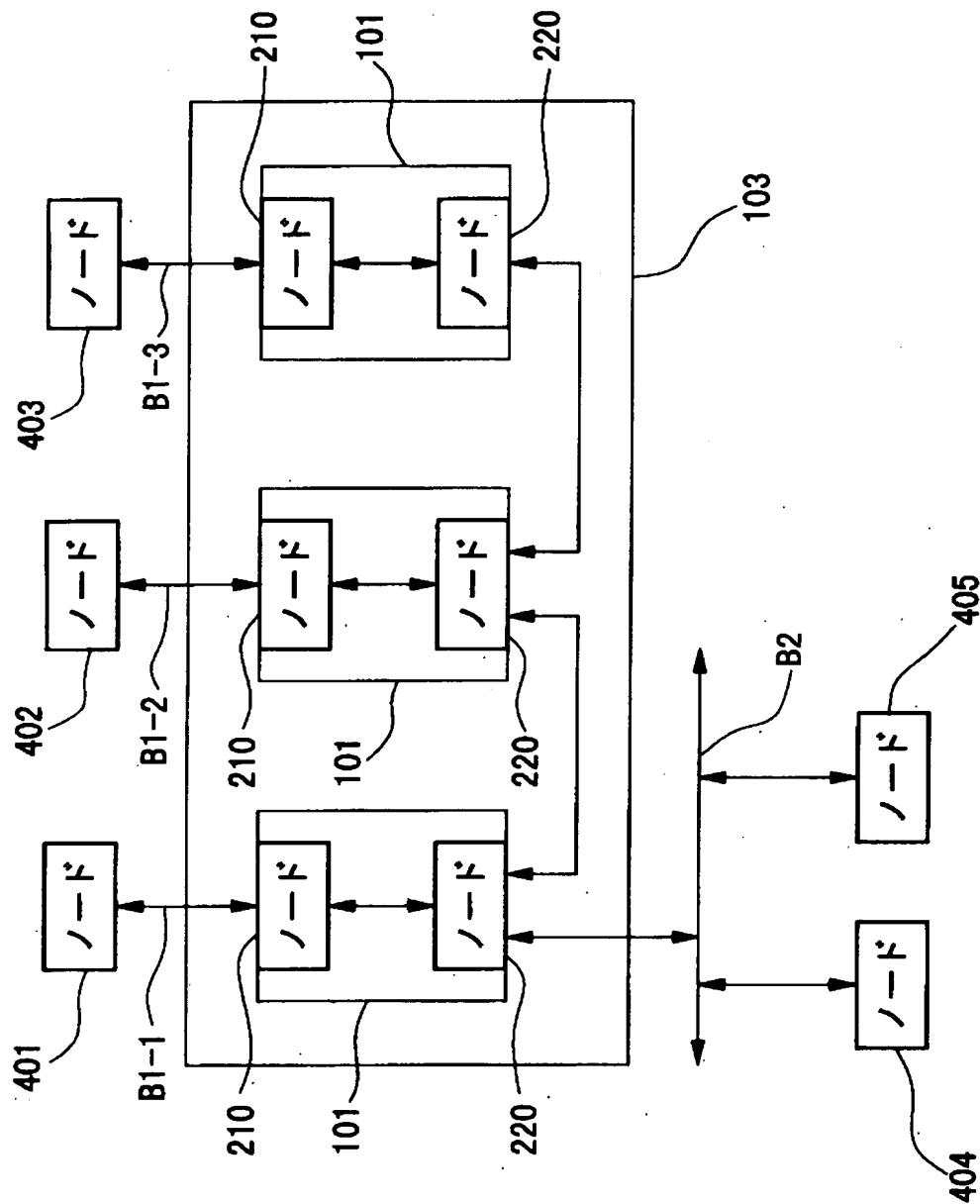
第3の対応表

速度変換機内 ノートのフィジカルID	対応するバスB2上の ノートのフィジカルID
4(ノート211)	2(ノート321)
3(ノート212)	1(ノート322)
2(ノート213)	0(ノート323)

第4の対応表

速度変換機内 ノートのフィジカルID	対応するバスB1上の ノートのフィジカルID
4(ノート221)	1(ノート311)
3(ノート222)	0(ノート312)

【図13】



【書類名】 要約書

【要約】

【課題】 低速な転送能力に起因するバスの帯域資源消費を緩和して、より効率の良い1394バスの利用を可能とするパケット速度変換器を実現する。

【解決手段】 1394バスB1またはB2から受信されるシンクロナス・パケットはRAM13に一時記憶される。そして、ヘッダ変換された後、そのシンクロナス・パケットは他方のバスヘスイッチ14-1または14-2の設定に基づいた転送速度に変換されて送信される。一方、同じく受信されるストリーム・パケットはアイソクロナス・パケット転送経路S3を通じて他方のリンク層LSI31または32に出力され、各リンク層LSIに具備されるストリーム・コントロール・レジスタの設定に基づきヘッダ変換された後、スイッチ14-1または14-2の設定に基づいた転送速度に変換されて各バスへ送信される。

【選択図】 図1

認定・付加情報

特許出願の番号	平成11年 特許願 第277561号
受付番号	59900952181
書類名	特許願
担当官	木村 勝美 8848
作成日	平成11年10月 6日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
--------	-----------

【住所又は居所】	東京都港区芝五丁目7番1号
----------	---------------

【氏名又は名称】	日本電気株式会社
----------	----------

【代理人】

【識別番号】	100108578
--------	-----------

【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
----------	-----------------------------------

【氏名又は名称】	高橋 詔男
----------	-------

【代理人】

【識別番号】	100064908
--------	-----------

【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
----------	-----------------------------------

【氏名又は名称】	志賀 正武
----------	-------

【選任した代理人】

【識別番号】	100101465
--------	-----------

【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
----------	-----------------------------------

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100108453
--------	-----------

【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
----------	-----------------------------------

【氏名又は名称】	村山 靖彦
----------	-------

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社